

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368266
(43)Date of publication of application : 20.12.2002

(51)Int.CI. H01L 33/00

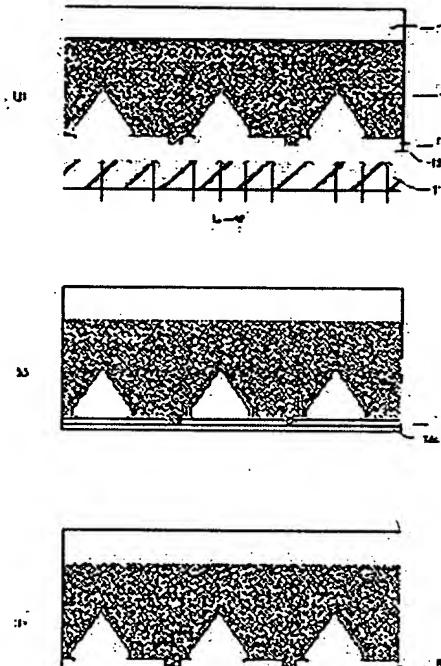
(21)Application number : 2001-177119 (71)Applicant : SONY CORP
(22)Date of filing : 12.06.2001 (72)Inventor : DOI MASATO
OHATA TOYOJI
KIKUTANI TOMOYUKI
IWABUCHI TOSHIAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method, in which cracks occur less in the device, when a nitride compound semiconductor growth layer on a sapphire board is separated into devices, the sapphire board is easily separated, and an electrode can be efficiently formed on the back surface of the device.

SOLUTION: Device separation grooves, as deep as half the thickness of a semiconductor growth layer formed on a sapphire board, are provided on the semiconductor growth layer through a treatment, such as a reactive ion etching treatment or the like; the semiconductor growth layer is separated from the sapphire board by laser ablation and transferred to a temporary holding board; then the semiconductor growth layer is subjected to etching carried out from behind as far as the device separating grooves; and the semiconductor growth layer is separated into unit devices.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-368266

(P2002-368266A)

(43)公開日 平成14年12月20日 (2002.12.20)

(51) Int.Cl.
H 01 L 33/00

識別記号

F I
H 01 L 33/00テマコード(参考)
C 5 F 0 4 1

審査請求 未請求 請求項の数16 O.L (全10頁)

(21)出願番号 特願2001-177119(P2001-177119)

(22)出願日 平成13年6月12日 (2001.6.12)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 土居 正人
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 大畑 豊治
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100110434
弁理士 佐藤 勝

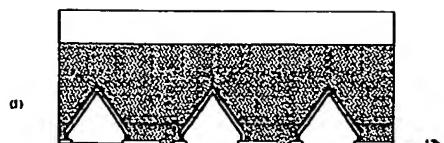
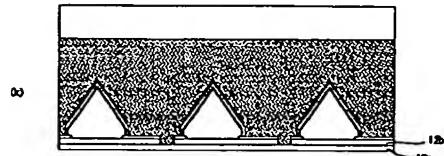
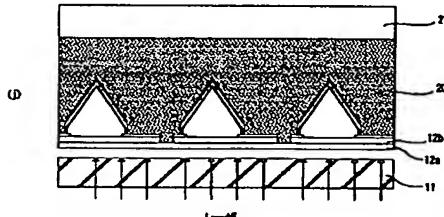
最終頁に続く

(54)【発明の名称】 半導体素子及び半導体素子の製造方法

(57)【要約】

【課題】 サファイア基板上の窒化物系化合物半導体成長層を素子に分離する際に、素子に生じるクラックを低減することができ、サファイア基板の剥離が簡便で、素子の裏面に電極を効率良く形成することができる半導体素子及び半導体素子の製造方法を提供することを目的とする。

【解決手段】 サファイア基板上に形成した半導体成長層に、その厚みの中途部までの深さを有する分離溝を反応性イオンエッティング等の処理により形成し、レーザーアブレーションにより半導体成長層をサファイア基板から分離して一時保持用基板に転写した後、半導体成長層の裏面から素子分離溝に至るようにエッティング処理を施して削り半導体成長層を素子毎に分離する。



【特許請求の範囲】

【請求項1】 第一基板上に形成した半導体成長層に前記半導体成長層の厚みの中途部までの深さを有する分離溝を形成し、前記半導体成長層を前記第一基板から分離して第二基板に前記半導体成長層を転写した後に、前記半導体成長層を分離した面から前記中途部まで削って前記半導体成長層を素子毎に分離して形成されることを特徴とする半導体素子。

【請求項2】 前記半導体成長層はウルツ鉱型化合物半導体から形成されることを特徴とする請求項1記載の半導体素子。

【請求項3】 前記ウルツ鉱型化合物半導体は窒化物系化合物半導体であることを特徴とする請求項2記載の半導体素子。

【請求項4】 前記第一基板はサファイア基板であることを特徴とする請求項1記載の半導体素子。

【請求項5】 前記半導体成長層の前記第一基板からの分離は前記第一基板を透過して照射される光によるアブレーションを用いることを特徴とする請求項1記載の半導体素子。

【請求項6】 前記半導体成長層は該半導体成長層の一部を除去して前記第一基板から分離されることを特徴とする請求項1記載の半導体素子。

【請求項7】 前記第二基板の前記半導体成長層保持面には接着層が形成されることを特徴とする請求項1記載の半導体素子。

【請求項8】 前記半導体成長層は、前記第一基板上に該第一基板の正面に対して傾斜した傾斜結晶面を有する結晶層を形成し、前記傾斜結晶面に平行な面内に延在する第一導電層、活性層、及び第二導電層を前記結晶層に形成してなる、または前記第一基板上に該第一基板の正面に積層する結晶層を形成し、前記正面に平行な面内に延在する第一導電層、活性層、及び第二導電層を前記結晶層に形成してなることを特徴とする請求項1記載の半導体素子。

【請求項9】 第一基板上に形成した半導体成長層を素子に分離する半導体素子の製造方法において、前記半導体成長層の厚みの中途部までの深さを有する分離溝を形成する工程と、前記半導体成長層を前記第一基板から分離して、第二基板に前記半導体成長層を転写する工程と、前記半導体成長層を分離した面から前記中途部まで削って前記半導体成長層を素子毎に分離する工程とを具備することを特徴とする半導体素子の製造方法。

【請求項10】 前記半導体成長層はウルツ鉱型化合物半導体から形成されることを特徴とする請求項9記載の半導体素子の製造方法。

【請求項11】 前記ウルツ鉱型化合物半導体は窒化物系化合物半導体であることを特徴とする請求項10記載の半導体素子の製造方法。

【請求項12】 前記第一基板はサファイア基板である

ことを特徴とする請求項9記載の半導体素子の製造方法。

【請求項13】 前記半導体成長層の前記第一基板からの分離は前記第一基板を透過して照射される光によるアブレーションを用いることを特徴とする請求項9記載の半導体素子の製造方法。

【請求項14】 前記半導体成長層は該半導体成長層の一部を除去して前記第一基板から分離されることを特徴とする請求項9記載の半導体素子の製造方法。

【請求項15】 前記第二基板の前記半導体成長層保持面には接着層が形成されることを特徴とする請求項9記載の半導体素子の製造方法。

【請求項16】 前記半導体成長層は、前記第一基板上に該第一基板の正面に対して傾斜した傾斜結晶面を有する結晶層を形成し、前記傾斜結晶面に平行な面内に延在する第一導電層、活性層、及び第二導電層を前記結晶層に形成してなる、または前記第一基板上に該第一基板の正面に積層する結晶層を形成し、前記正面に平行な面内に延在する第一導電層、活性層、及び第二導電層を前記結晶層に形成してなることを特徴とする請求項9記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は窒化物系化合物を用いて構成される半導体素子及びその製造方法に関し、特に、クラックを低減させることができ、成長基板の剥離及び裏面のエッチングを効率良く行うことができる半導体素子及び半導体素子の製造方法に関する。

【0002】

【従来の技術】 一般に発光ダイオード、半導体レーザー等の発光デバイスの発光源として用いられる半導体素子の材料としては、例えば赤色、橙色、黄色、緑色の発光素子ではGaN、GaAlAs、GaP等が知られており、青色の発光素子については、GaN、InGaN、GaAlN等の窒化ガリウム系化合物半導体が実用的な青色発光材料として研究されている。

【0003】 従来、半導体が積層された半導体成長層はダイサーまたはスクライバーにより素子に分離されている。例えば、GaP、GaAs等の閃亜鉛構造の結晶はへき開性が「110」方向にあるため、この方向にスクライブラインを入れてスクライバーにより素子に簡単に分離できる。しかし、窒化物系化合物半導体はサファイア基板の上に積層されるいわゆるヘテロエビ構造であり、窒化物系化合物半導体とサファイアとは格子定数の不整合が大きく、またサファイアは六方晶系という結晶の性質上、へき開性を有していない。そのため、スクライビングによらずにエッチングやダイシングにより、成長基板上に形成された窒化物系化合物半導体層は素子毎の領域に分離される。

【0004】 このようなエッチングまたはダイシングに

より分離する窒化物系化合物半導体素子の製造方法として、特開平5-343742号公報に記載されている方法が知られている。これは、基板上にn型及びp型の窒化ガリウム系化合物半導体が順に積層された半導体成長層を素子に分離する際、サファイア基板を研磨して薄くした後、p型層の一部をn型層までエッチングし、n型層をサファイア基板までエッチングまたはダイシングして、サファイア基板をダイシングまたはスクライビングすることにより切断する方法である。

【0005】このように素子毎の領域に分離された成長基板上の半導体成長層は、エッチングやダイシングにより成長基板に至るような溝が形成された後、成長基板であるサファイア基板とともに一時保持用基板に保持され、サファイア基板の裏面からレーザービームによりアブレーションを生じさせてサファイア基板から個々の素子を剥離し、発光ダイオード等の窒化物系化合物半導体素子が形成される。

【0006】

【発明が解決しようとする課題】しかし、特開平5-343742号公報に記載されているように窒化物系化合物半導体成長層にエッチングやダイシングを用いて成長基板に至るような素子分離のための溝を形成した後、成長基板とともに一時保持用基板に保持し、裏面からレーザーブレーキングによりサファイア基板を剥離して個々の半導体素子に分離する方法では、素子毎のサイズが数十μmという微小なサイズであるため、素子にクラックが生じるという問題がある。

【0007】さらに、微小なサイズの素子はレーザーブレーキングによって成長基板から一時保持用基板に転写されるが、その一時保持用基板の転写面には接着層が形成されており、レーザーブレーキングの際に同時に接着層までもアブレーションされてしまい、良好な素子の保持ができないという問題が生じる。

【0008】そこで、本発明の半導体素子及び半導体素子の製造方法は、成長基板上に形成された半導体成長層を素子に分離する際に、成長基板を剥離する際に生じる素子のクラックを防止するとともに、成長基板を剥離するためには照射するレーザービームによって一時保持用基板上の接着層がアブレーションされるのを防止して、成長基板から各半導体素子を簡便に剥離することができる半導体素子及び半導体素子の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明における半導体素子は、第一基板上に形成した半導体成長層に前記半導体成長層の厚みの中途部までの深さを有する分離溝を形成し、前記半導体成長層を前記第一基板から分離して第二基板に前記半導体成長層を転写した後に、前記半導体成長層を分離した面から前記中途部まで削って前記半導体成長層を素子毎に分離して形成されることを特徴とする。

10

20

30

40

50

る。

【0010】サファイア基板上の半導体成長層に形成する素子分離溝の深さが半導体成長層の厚みの中途部までの深さであるため、サファイア基板をレーザーブレーキングにより剥離する際でも半導体成長層は一体であり、この一体である半導体成長層は微小なサイズの素子に比べて十分に大きなサイズであるため、サファイア基板を剥離する際に生じるクラックを低減して形成された半導体素子である。

【0011】また、サファイア基板をレーザーブレーキングによって剥離する際に半導体成長層は一体であるため、この一体である半導体成長層が、サファイア基板をレーザーブレーキングによって剥離する際に裏面から照射されるレーザービームが半導体成長層を一時保持用基板に転写させるために形成された接着層に至るのを防止し、そしてこの接着層がレーザービームによりアブレーションされるのを防止して、良好に一時保持用基板に保持して形成された半導体素子である。

【0012】本発明における半導体素子の製造方法は、第一基板上に形成した半導体成長層に前記半導体成長層の厚みの中途部までの深さを有する分離溝を形成する工程と、前記半導体成長層を前記第一基板から分離して、第二基板に前記半導体成長層を転写する工程と、前記半導体成長層を分離した面から前記中途部まで削って前記半導体成長層を素子毎に分離する工程とを具備することを特徴とする。

【0013】サファイア基板上の半導体成長層に形成する素子分離溝の深さが半導体成長層の厚みの中途部までの深さであるため、サファイア基板をレーザーブレーキングにより剥離する際でも半導体成長層は一体であり、この一体である半導体成長層は微小なサイズの素子に比べて十分に大きなサイズであるため、サファイア基板を剥離する際に半導体素子に生じるクラックを低減することができる。

【0014】また、サファイア基板をレーザーブレーキングによって剥離する際に半導体成長層は一体であるため、この一体である半導体成長層が、サファイア基板をレーザーブレーキングによって剥離する際に裏面から照射されるレーザービームが半導体成長層を一時保持用基板に転写させるために形成された接着層に至るのを防止し、そしてこの接着層がレーザービームによりアブレーションされるのを防止して、良好な半導体素子の保持をることができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図を参照しながら説明する。

【0016】まず、選択成長によって形成される第二成長層が断面略三角状の六角錐状である発光素子を例に説明する。

【0017】図1(a)に示すように、成長基板11上

に第一成長層12が形成される。成長基板11としては、次にウルツ鉱型の化合物半導体層を形成し得るものであれば特に限定されず、種々のものを使用できる。例えば、成長基板11として、窒化ガリウム(GaN)系化合物半導体の材料を成長させる場合に多く利用されているC面を主面としたサファイア基板を用いることができる。この場合の基板主面としてのC面は、5乃至6度の範囲で傾いた面方位を含むものである。

【0018】この成長基板11の主面上に形成される第一成長層12としては、後の工程で六角錐のピラミッド構造を形成することからウルツ鉱型の化合物半導体を用いることができる。例えば、III族系化合物半導体を用いることができ、更には窒化ガリウム(GaN)系化合物半導体、窒化アルミニウム(AlN)系化合物半導体、窒化インジウム(InN)系化合物半導体、窒化インジウムガリウム(InGaN)系化合物半導体、窒化アルミニウムガリウム(AlGaN)系化合物半導体などである。

【0019】第一成長層12を成長させる方法としては、種々の気相成長法を挙げることができる。例えば、有機金属化合物気相成長法(MOCVD(MOVPE)法)や分子線エピタキシー法(MBE法)などの気相成長法や、ハイドライド気相成長法(HVPE法)を用いて成長させることができる。特に、MOVPE法を用いると、迅速に結晶性の良いものが得られる。また、図2では省略しているが、第一成長層12の底部側には所要のバッファ層を形成しても良い。

【0020】ここで、この第一成長層12は、アンドープの第一成長層12a及びシリコンドープの第一成長層12bを順に積層して形成されている。一般に、第一成長層12はn側電極に接続するための導電層として機能することから、その全体にシリコンなどの不純物がドープされる。しかし、本実施形態においては、後述のように、成長基板上の半導体成長層に半導体成長層の厚みの中途部までの深さを有する素子分離溝を形成し、半導体成長層を一時保持用基板に保持して成長基板の裏面からレーザープレーナーによって半導体成長層を成長基板から分離して一時保持用基板に転写した後に、素子分離溝に至るよう半導体成長層を裏面から削るため、その削られる部分である第一成長層12aは不純物をドープしなくても良い。

【0021】図1(b)のように、アンドープの第一成長層12a及びシリコンドープの第一成長層12bを順に積層した第一成長層12上の全面にシリコン酸化膜やシリコン窒化膜などからなる成長阻害膜13を形成する。この成長阻害膜13はマスク層として用いられる膜であり、スパッタ法若しくはその他の方法によって第一成長層12の表面に形成される。

【0022】このように成長阻害膜13を全面に形成した後、図1(c)に示すように、マスクとして機能する

成長阻害膜13の一部が除去されて開口部13aが形成される。この開口部13aの形状は、基板主面に対して傾斜した傾斜面を有するファセット構造にし得る形状であれば特に限定されるものではなく、一例としてストライプ状、矩形状、円形状、楕円状、三角形状、又は六角形状などの多角形形状とされる。成長阻害膜13の下部の第一成長層12は開口部13aの形状を反映してその表面が露出する。

【0023】このような所定の形状の開口部13aが形成された後、選択成長によって第二成長層が形成される。図2(d)に示すように、選択成長による第二成長層として、第一導電層14、活性層15、及び第二導電層16が積層される。

【0024】第一導電層14は第一成長層12と同様に、ウルツ鉱型の化合物半導体層であって、例えばシリコンドープのGaNの如き材料から形成される。この第一導電層14はn型クラッド層として機能する。この第一導電層14は、成長基板11がサファイア基板とされ、その主面がC面である場合には、選択成長によって断面略三角形状の六角錐形状に形成される。

【0025】活性層15は、当該発光素子の光を生成するための層であり、例えばInGaN層やInGaN層をAlGaN層で挟む構造の層からなる。この活性層15は、第一導電層14の傾斜面からなるファセットに沿って延在され、発光するのに好適な膜厚を有する。

【0026】第二導電層16は、ウルツ鉱型の化合物半導体層であって、例えばマグネシウムドープのGaNの如き材料から形成される。この第二導電層16はp型クラッド層として機能する。この第二導電層16も第一導電層14の傾斜面からなるファセットに沿って延在され、発光するのに好適な膜厚を有する。選択成長によって形成される六角錐形状の傾斜面は例えばS面、{11-22}面及びこれら各面に実質的に等価な面の中から選ばれる面とされる。

【0027】図2(e)及び図2(f)は素子分離溝18を形成する工程を示している。図2(e)に示すように、最外部に形成された第二導電層16が素子分離溝18形成のためのエッチングにより侵食されるのを防ぐため、第二導電層16及び成長阻害膜13が形成されている第一成長層12の全面に保護膜17で覆う。保護膜17は、例えば、プラズマCVD法等により形成されるシリコン酸化膜などである。このような保護膜17が形成された後、図2(f)に示すように、反応性イオンエッティング等の処理を施して素子分離溝18を形成し、素子毎の領域に分離する。

【0028】素子分離溝18の深さは、半導体成長層の厚みの中途部までの深さであり、アンドープの第一成長層12aに至る深さである。そのため、成長基板11を剥離する際でも半導体成長層はアンドープの第一成長層12aにより一体であり、この一体である半導体成長層

7
は微小なサイズの素子に比べて十分に大きなサイズであるため、成長基板11を剥離する際に半導体素子に生じるクラックを低減することができる。また、成長基板11をレーザーアブレーションによって剥離する場合、半導体成長層がアンドープの第一成長層12aにより一体であるため、この半導体成長層を一体としているアンドープの第一成長層12aが、成長基板11をレーザーアブレーションによって剥離する際に裏面から照射されるレーザービームが半導体成長層を保持するための接着層に至るのを防止し、この接着層がレーザービームによりアブレーションされるのを防止して、良好な半導体素子の保持をすることができます。

【0029】そして、素子分離溝18が形成された後、酸などにより保護膜17を除去する(図3(c))。図3(h)は保護膜17を除去した後に、六角錐形状の第二成長層の最外部にある第二導電層16の表面にp側電極19の形成を示す図である。p側電極19は、一例として、Ni/Pt/Au電極構造またはPd/Pt/Au電極構造を有し、蒸着法などによって形成される。また、n側電極は底部に形成されるため、ここでは形成されていない。

【0030】図3(i)に示すように半導体成長層を一時保持用基板21のワックスや合成樹脂等からなる接着層20に固定した後、図4(i)に示すように成長基板11の裏面側から紫外線照射となるエキシマレーザーのレーザービームを照射して、レーザーアブレーションを生じさせ、成長基板11を剥離して半導体成長層を一時保持用基板21に転写する。窒化ガリウム系半導体層はサファイアとの界面で金属のガリウムと窒素に分解することから、成長基板11をサファイア基板とし、第一成長層12をGaN系半導体層として、成長基板11と第一成長層12の界面で比較的簡単に剥離できる。なお、照射するレーザーとしてはエキシマレーザー、高調波YAGレーザーなどが用いられる。

【0031】このとき、素子分離溝18の深さが、半導体成長層の厚みの中途部までの深さであり、アンドープの第一成長層12aに至る深さであるため、成長基板11を剥離する際でも半導体成長層はアンドープの第一成長層12aにより一体であり、この半導体成長層を一体としているアンドープの第一成長層12aが、成長基板11をレーザーアブレーションによって剥離するために裏面から照射されるレーザービームが半導体成長層を保持するための接着層20に至るのを防ぎ、この接着層20がレーザーによりアブレーションされるのを防止して、良好な半導体素子の保持をすることができます。

【0032】図4(k)において一時保持用基板21に転写された半導体成長層の裏面からエッチングをして第一成長層12を削り、図4(l)のように素子に分離する。第一成長層12は素子分離溝18によって分離されていることから、第一成長層12の裏面からエッチング

10
処理を施していくことにより、素子分離溝18に至り、半導体成長層は素子に分離される。

【0033】通常、結晶性が良くない半導体素子の裏面にn側電極を形成するためには素子分離後さらに裏面の結晶性の良くない部分を除去するのであるが、素子分離溝18の深さがアンドープの第一成長層12aに至る深さであるため、サファイア基板11上の半導体成長層を各半導体素子に分離するために素子分離溝18まで削ることによって、半導体成長層を素子に分離すると同時に、結晶性が良くないサファイア基板界面近傍を除去することができ、裏面にn側電極22を効率良く形成することができる。

【0034】そして、図5(m)に示すように分離された素子の裏面にn側電極22を形成する。このn側電極22は、一例として、Ti/Al/Pt/Au電極構造であり、蒸着法などによって形成される。

【0035】このように、サファイア基板11上の半導体成長層に形成する素子分離溝18の深さが半導体成長層の厚みの中途部までの深さであって、アンドープの第一成長層12aに至る深さであるため、サファイア基板11をレーザーアブレーションにより剥離する際でも半導体成長層はアンドープの第一成長層12a上で一体であり、この一体である半導体成長層は素子のような微小なサイズに比べて十分に大きなサイズであるため、サファイア基板11を剥離する際に生じるクラックを低減させることができる。

【0036】また、サファイア基板11をレーザーアブレーションによって剥離する際に半導体成長層はアンドープの第一成長層12a上で一体であるため、この一体である半導体成長層が、サファイア基板11をレーザーアブレーションによって剥離する際に裏面から照射されるレーザービームが半導体成長層を一時保持用基板21に転写させるために形成された接着層20に至るのを防ぎ、そしてこの接着層20がレーザービームによりアブレーションされるのを防止して、良好な半導体素子の保持をすることができます。

【0037】さらに、微小なサイズの素子に半導体成長層を分離した後にサファイア基板11を剥離する場合、クラックが生じるためにサファイア基板11を剥離するのに注意を要し簡便ではないが、サファイア基板11上の半導体成長層に形成された素子分離溝18の深さが半導体層の厚みの中途部までの深さである本発明の半導体素子の製造方法では、サファイア基板11をレーザーアブレーションにより剥離する際でも半導体成長層はアンドープの第一成長層12aにより一体であり、この一体である半導体成長層は素子のような微小なサイズに比べて十分に大きなサイズであるためにクラックが生じる恐れもなく、簡便にサファイア基板11を剥離することができる。

【0038】そして、結晶性が良くない半導体素子の裏

面にn側電極を形成するためには素子分離後さらに裏面の結晶性の良くない部分を除去するのであるが、サファイア基板11上の半導体成長層を各半導体素子に分離するために素子分離溝18まで削ることによって、半導体成長層を素子に分離すると同時に、結晶性が良くないサファイア基板界面近傍を除去することができ、裏面にn側電極22を効率良く形成することができる。

【0039】次に、成長基板上の半導体成長層に形成された半導体成長層の厚みの中途部までの深さを有する素子分離溝により、成長基板上に積層した半導体成長層を分離して形成されるブレナー型の半導体発光素子について説明する。

【0040】まず、図6(a)に示すように、成長基板31上に第一成長層32が形成される。一般には、成長基板31としては、次にウルツ鉱型の化合物半導体層を形成し得るものであれば特に限定されず、種々のものを使用でき、成長基板31の主面上に形成される第一成長層32も、種々のものを用いることができる。第一成長層32としては、例えば、III族系化合物半導体を用いることができ、窒化ガリウム(GaN)系化合物半導体、窒化アルミニウム(AlN)系化合物半導体、窒化インジウム(InN)系化合物半導体、窒化インジウムガリウム(InGaN)系化合物半導体、窒化アルミニウムガリウム(AlGaN)系化合物半導体などがある。

【0041】ここでは、ブレナー型の赤色用発光素子で用いられるGaAsを成長基板31として用い、第一成長層32の材料としてAlAsを用いる。第一成長層32としてAlAsを用いることにより、後述に示すように、成長基板31上の半導体成長層に半導体成長層の厚みの中途部までの深さを有する素子分離溝を形成し、半導体成長層を一時保持用基板に保持して半導体成長層を成長基板31から分離し一時保持用基板に転写した後に、素子分離溝に至るよう半導体成長層を裏面から削る際に、AlAsがフッ酸に溶けやすいという性質により容易にAlAsの第一成長層32を除去することができる。成長基板31を剥離することができる。

【0042】また、第一成長層32の成長させる方法としては、種々の気相成長法を挙げることができる。例えば、有機金属化合物気相成長法(MOVPE法)や分子線エピタキシー法(MBE法)などの気相成長法や、ハイドライド気相成長法(HVPE法)を用いて成長させることができる。特に、MOVPE法を用いると、迅速に結晶性の良いものが得られる。また、図6(a)では省略しているが、AlAsである第一成長層32の底部側には所要のバッファ層を形成しても良い。

【0043】そして、図6(b)のようにAlAsである第一成長層32の上に、順にn側コンタクト層33、第一導電層34、活性層35、第二導電層36及びp側

コンタクト層37が積層され、第二成長層が形成される。

【0044】一般に、n側コンタクト層33及び第一導電層34は第一成長層32と同様に、ウルツ鉱型の化合物半導体層であって、例えばシリコンドープのGaNの如き材料から形成される。この第一導電層34はn型クラッド層として機能する。活性層35は、当該発光素子の光を生成するための層であり、第一導電層34の上に積層され、発光するのに好適な膜厚を有する。p側コンタクト層37及び第二導電層36は、ウルツ鉱型の化合物半導体層であって、例えばマグネシウムドープのGaNの如き材料から形成される。この第二導電層35はp型クラッド層として機能する。

【0045】このように、第二成長層の各層は種々の材料を用いることができるが、本実施形態においては、n側コンタクト層33としてGaAs、第一導電層34としてAlGaInP、活性層35としてGaInP、第二導電層36としてAlGaInP、p側コンタクト層37としてGaAsを用いる。

【0046】図6(c)はGaAs成長基板31上に積層された半導体成長層に素子分離溝38を形成する工程を示している。素子分離溝38は反応性イオンエッティング等の処理を施して形成され、半導体成長層は素子毎の領域に分離される。

【0047】素子分離溝38の深さは、半導体成長層の厚みの中途部までの深さであり、AlAsの第一成長層32に至るがGaAs成長基板31には至らない深さである。そのため、後述のように、フッ酸を用いてAlAsである第一成長層32を除去してGaAs成長基板31を剥離すると同時に、半導体成長層は半導体素子に分離され、GaAs成長基板31を簡便に剥離することができる。

【0048】図7(d)は、第二成長層の最上部にあるp側コンタクト層37の表面にp側電極39の形成を示す図である。p側電極39は、一例として、Ti/Pt/Au電極構造またはNi(Pd)/Pt/Au電極構造を有し、蒸着法などによって形成される。また、n側電極は底部に形成されるため、ここでは形成されていない。

【0049】図7(e)に示すように一時保持用基板41の転写面に形成されたワックスや合成樹脂等からなる接着層40に半導体成長層を保持し、図8(f)に示すようにフッ酸を用いてAlAsである第一成長層32を除去してGaAs成長基板31を剥離する。AlAsはフッ酸に溶けやすいという性質を有するため、AlAsである第一成長層32を容易に除去することができ、成長基板31を剥離することができる。また、素子分離溝38の深さは、半導体成長層の厚みの中途部までの深さであり、AlAsの第一成長層32に至る深さであるため、フッ酸を用いてAlAsである第一成長層32を除去してGaAs成長基板31を剥離すると同時に、素子

毎の領域に分離されている半導体成長層は半導体素子に分離される。

【0050】そして、一時保持基板41に保持された状態の複数の半導体素子は裏面からエッチング処理を施され、図8(g)のようにn側電極42が形成される。このn側電極42は、一例として、AuGe/Ni/Au電極構造であり、蒸着法などによって形成される。

【0051】このように、成長基板上の半導体成長層に形成する素子分離溝の深さが半導体成長層の厚みの中途部までの深さであるため、成長基板を剥離する際でも半導体成長層は一体であり、この一体である半導体成長層は素子のような微小なサイズに比べて十分に大きなサイズであるため、成長基板を剥離する際に生じるクラックを低減することができる。

【0052】また、微小なサイズの素子に半導体成長層を分離した後に成長基板を剥離する場合、クラックが生じるために成長基板を剥離するのに注意を要し簡便ではないが、成長基板上の半導体成長層に形成する素子分離溝の深さが半導体層の厚みの中途部までの深さである本発明の半導体素子の製造方法では、成長基板を剥離する際でも一体である半導体成長層は素子のような微小なサイズに比べて十分に大きなサイズでクラックが生じることがなく、簡便に成長基板を剥離することができる。

【0053】

【発明の効果】本発明の半導体素子及びその製造方法では、サファイア基板上の半導体成長層に形成する素子分離溝の深さが半導体成長層の厚みの中途部までの深さであるため、サファイア基板をレーザーアブレーションにより剥離したり酸などにより第一成長層を除去して剥離したりする際でも半導体成長層は一体であり、この一体である半導体成長層は素子のような微小なサイズに比べて十分に大きなサイズであるため、サファイア基板を剥離する際に生じるクラックを低減することができる。

【0054】また、サファイア基板をレーザーアブレーションによって剥離する際に半導体成長層は一体であるため、この一体である半導体成長層が、サファイア基板をレーザーアブレーションによって剥離する際に裏面から照射されるレーザービームが半導体成長層を一時保持用基板に転写させるために形成された接着層に至るのを防止し、そしてこの接着層がレーザービームによりアブレーションされるのを防止して、良好な半導体素子の保持をすることができる。

【0055】さらに、微小なサイズの素子に半導体成長層を分離した後にサファイア基板を剥離する場合、クラックが生じるためにサファイア基板を剥離するのに注意を要し簡便ではないが、サファイア基板上の半導体成長層に形成する素子分離溝の深さが半導体層の厚みの中途部までの深さである本発明の半導体素子の製造方法では、サファイア基板をレーザーアブレーションにより剥離したり酸などにより第一成長層を除去して剥離したり

する際でも一体である半導体成長層は素子のような微小なサイズに比べて十分に大きなサイズでクラックが生じる恐れもなく、簡便にサファイア基板を剥離することができる。

【0056】そして、結晶性が良くない半導体素子の裏面に電極を形成するためには素子分離後さらに裏面の結晶性の良くない部分を除去するのであるが、サファイア基板上の半導体成長層を各半導体素子に分離するために半導体成長層の厚みの中途部までの深さを有する素子分離溝まで削ることによって、半導体成長層を素子に分離すると同時に、結晶性が良くないサファイア基板界面近傍を除去することができ、裏面に電極を効率良く形成することができる。

【図面の簡単な説明】

【図1】本発明の実施形態の半導体素子の製造方法における第一成長層、成長阻害膜及び開口部の形成工程を示し、(a)は第一成長層形成の工程断面図であり、(b)は成長阻害膜形成の工程断面図であり、(c)は開口部形成の工程断面図である。

【図2】本発明の実施形態の半導体素子の製造方法における第二成長層及び素子分離溝の形成工程を示し、(d)は第二成長層形成の工程断面図であり、(e)は保護膜形成の工程断面図であり、(f)は素子分離溝形成の工程断面図である。

【図3】本発明の実施形態の半導体素子の製造方法におけるp側電極の形成及び成長基板の剥離の工程を示し、(g)は保護膜除去の工程断面図であり、(h)はp側電極形成の工程断面図であり、(i)は一時保持用基板への接着の工程断面図である。

【図4】本発明の実施形態の半導体素子の製造方法における成長基板の剥離及び半導体成長層の分離の工程を示し、(j)は成長基板の剥離の工程断面図であり、(k)はエッチング処理の工程断面図であり、(l)素子分離の工程断面図である。

【図5】本発明の実施形態の半導体素子の製造方法におけるn側電極の形成の工程を示し、(m)はn側電極形成の工程断面図である。

【図6】本発明の実施形態の半導体素子の製造方法における第一成長層、第二成長層及び素子分離溝の形成工程を示し、(a)は第一成長層形成の工程断面図であり、(b)は第二成長層の工程断面図であり、(c)は素子分離溝形成の工程断面図である。

【図7】本発明の実施形態の半導体素子の製造方法におけるp側電極形成及び半導体成長層保持の工程を示し、(d)はp側電極形成の工程断面図であり、(e)は半導体成長層保持の工程断面図である。

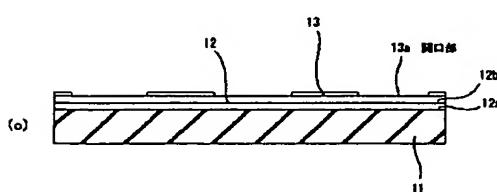
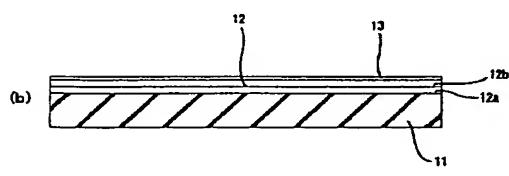
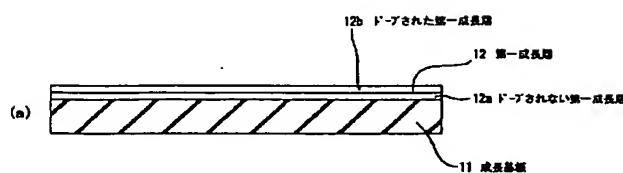
【図8】本発明の実施形態の半導体素子の製造方法における成長基板の剥離及びn側電極の形成の工程を示し、(f)は成長基板の剥離の工程断面図であり、(g)はn側電極形成の工程断面図である。

【符号の説明】

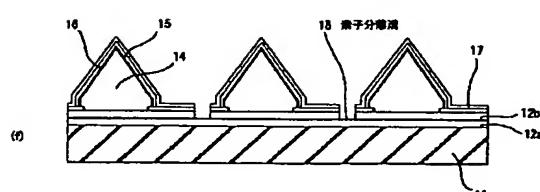
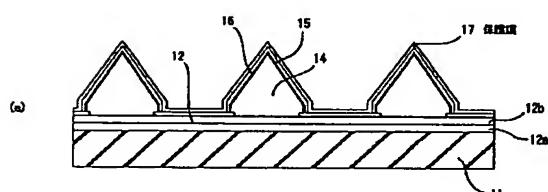
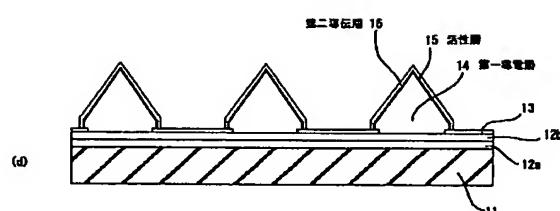
11,31 成長基板
 12,32 第一成長層
 12a ドープされない第一成長層
 12b ドープされた第一成長層
 13 成長阻害膜
 13a 開口部
 14,34 第一導電層
 15,35 活性層

* 16,36 第二導電層
 17 保護膜
 18,38 素子分離溝
 19,39 p側電極
 20,40 着層
 21,41 一時保持用基板
 22,42 n側電極
 33 n側コンタクト層
 * 37 p側コンタクト層

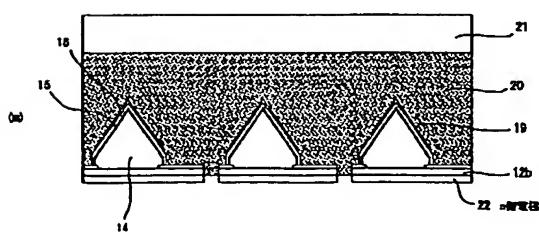
【図1】



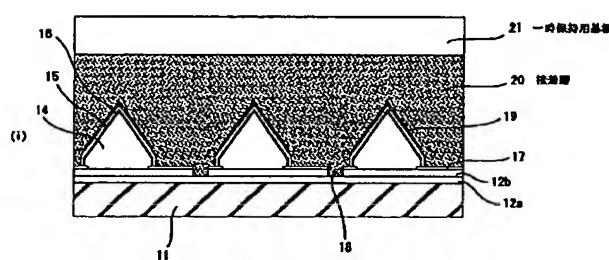
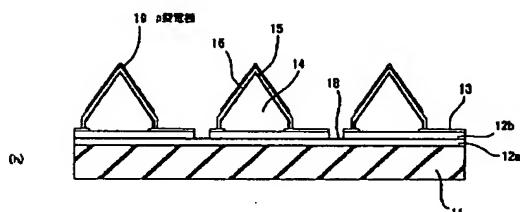
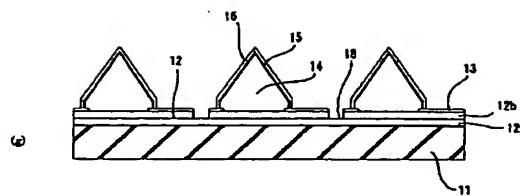
【図2】



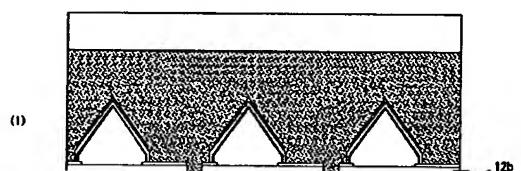
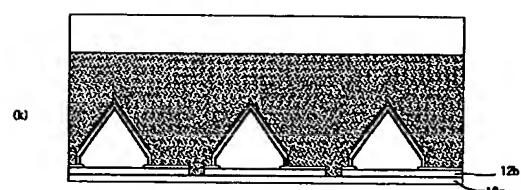
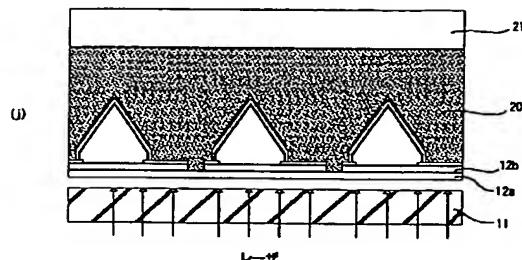
【図5】



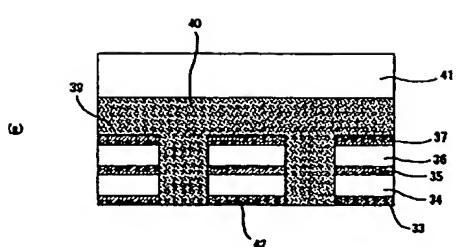
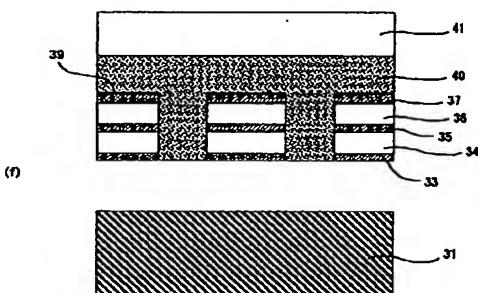
【図3】



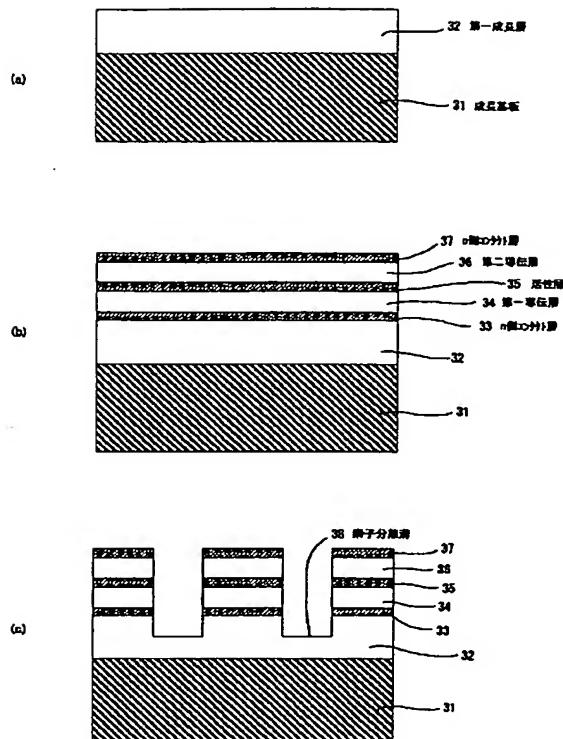
【図4】



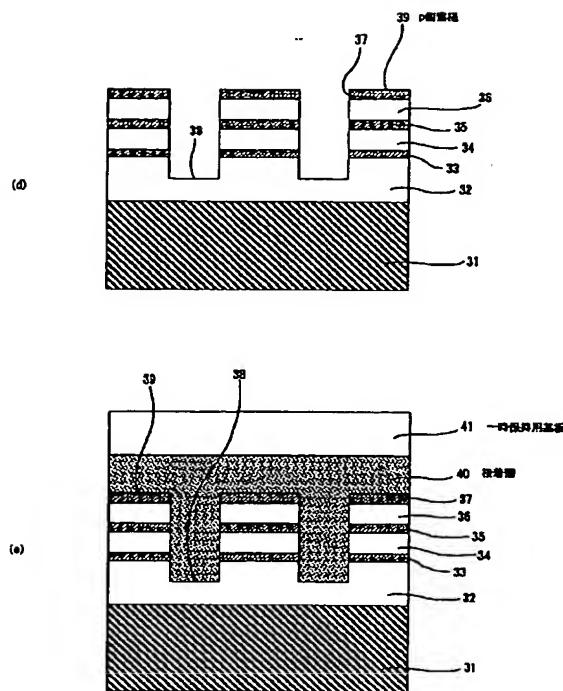
【図8】



【図6】



【図7】



フロントページの続き

(72)発明者 菊谷 友志
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 岩渕 寿章
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

F ターム(参考) 5F041 AA21 CA40 CA65 CA75 CA77

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.